

## NOUVELLE APPROCHE D'IMPLEMENTATION SUR FPGA D'UN MODÈLE DU CONVERTISSEUR SEPIC BASÉ SUR XILINX SYSTEM GENERATOR

Rezki Tadrast#1, Adnane Hassani#1, Mountassar Maamoun\*2, Ali Nesba#1

#Laboratoire LSIC ENS de Kouba.B.P N°92 16308 Vieux-Kouba – Alger

\*Département d'Electronique, Université de Blida, Algérie

1tadrast@ens-kouba.dz

1Adnhassani@yahoo.fr

2mountassar.maamoun@mail.univ-blida

1nesba@ens-kouba.dz

**Abstract**—L'utilisation des alimentations à découpage (SMPSs : switched mode power supplies) est à présent largement répandue dans des systèmes embarqués en raison de leur rendement. SEPIC (Single-Ended Primary Inductor Converter) est un convertisseur à découpage DC/DC qui possède plusieurs avantages par rapport à d'autres convertisseurs de structure classique. Cet article présente une architecture efficace pour un modèle du convertisseur SEPIC à l'aide de Xilinx System Generator (XSG). Cette architecture combine MATLAB, Simulink et XSG. Les performances de cette architecture lors de la mise en œuvre dans le kit SPARTAN-3E (XC3S500E-FG320) dépasse celles des architectures de ressources similaires ou plus. Le projet de l'architecture consomme un taux réduit des ressources disponibles sur la cible FPGA.

**Keywords**— Convertisseur DC-DC SEPIC, Matlab , Xilinx System Generator, FPGA.

### I. INTRODUCTION

En cette dernière décennie, un accroissement considérable dans la production de l'énergie électrique depuis des sources d'énergie renouvelables a été constaté [1][2][3]. Ce qui a engendré un grand développement dans la technologie d'électronique de puissance. En effet, à la sortie de chaque source d'énergie renouvelable comme le photovoltaïque et l'éolien, l'on trouvera une conversion d'énergie et ce afin de la rendre disponible au niveau du consommateur.

Dans le but de répondre à la demande de puissance de l'industrie qui ne cesse d'augmenter, la recherche en électronique de puissance n'arrête pas de prendre de l'ampleur pour trouver des solutions aux problèmes de la conversion de l'énergie électrique à haute puissance. Sachant que la conversion de l'énergie électrique fait appel à des composants de puissance tels que les IGBT, GTO, MCT... Les convertisseurs à base de ces interrupteurs offrent de meilleures performances s'ils sont employés sous des hautes fréquences [4].

L'utilisation des alimentations à découpage (SMPSs: switched mode power supplies) est à présent largement répandue dans notre quotidien en raison de leur rendement. Ces alimentations occupent une place importante dans les ordinateurs, téléphones portables et autres appareils

électroniques où les exigences technologiques actuelles demandent en même temps un haut niveau de performance de régulation et une compacité importante d'éléments.

SEPIC (Single-Ended Primary Inductor Converter) est un convertisseur à découpage DC/DC qui permet de remplir les fonctionnalités d'une cellule « convertisseur universel »[5][6]. Ce type d'architecture possède plusieurs propriétés intéressantes [7][8][9]. La première et la plus importante est le fonctionnement abaisseur-élevateur avec une tension de sortie ayant la même polarité que la tension d'entrée. Ensuite, la commande de l'interrupteur est référencée par rapport à la masse, ce qui simplifie l'électronique de commande rapprochée du module à commutation.

L'utilisation de FPGA pour la simulation des systèmes de puissance n'est pas nouvelle [10][11] mais elle demeure peu explorée. En [12] on présente l'utilisation d'un FPGA comme engin de calcul pour un simulateur temps réel sans toutefois réaliser le dit simulateur. L'utilisation d'un FPGA est motivée par la nature « malléable » de ces puces, c'est-à-dire qu'elles peuvent être optimisées spécifiquement pour la tâche à accomplir, contrairement à un processeur ou un Digital Signal Processor (DSP) conventionnel. Cela implique que tous les registres, bus de communication et les mémoires ont exactement la taille nécessaire, ce qui maximise l'utilisation des ressources disponibles.

Généralement, un processeur conventionnel exécute séquentiellement un programme, qui est une suite d'instructions réalisant une tâche ou une certaine fonction. Pour exécuter une multiplication matricielle par exemple, chaque sous-produit doit être évalué séquentiellement ainsi que leur somme. Dans le cas d'un FPGA, il est possible d'exécuter toutes les multiplications simultanément et par la suite toutes les additions. Ce traitement parallèle permet d'effectuer les calculs nécessaires à la simulation temps réel beaucoup plus rapidement puisque ces derniers se composent principalement d'opérations mathématiques de base répétées à plusieurs reprises [13].

Cependant, les processeurs conventionnels sont généralement beaucoup plus précis puisqu'ils sont munis d'unités d'arithmétique et de logique traitant des nombres en virgule flottante de 32 ou de 64 bits. À l'instar de beaucoup

d'éléments dans la conception sur FPGA, la précision utilisée à chaque étape du traitement doit être définie par le concepteur. La conception sur FPGA n'échappe pas à l'éternel compromis rapidité/précision/ressources utilisées. Il est impossible d'optimiser ces trois aspects en même temps: l'optimisation d'un de ces aspects se fait toujours au détriment des deux autres. De plus, les FPGA excellent au traitement de plusieurs flots de données indépendants et leur performance diminuent considérablement en fonction du nombre d'échange entre les flots[14].

## II. PRINCIPE DE FONCTIONNEMENT

Le SEPIC peut être réalisé de diverse manière. Par le couplage mutuel des inductances L1 et L2 ou en remplaçant l'inductance L2 par un transformateur. L'étude se fait en deux parties selon l'état de conduction de l'interrupteur k.

### A. Phase de conduction [0 à α T] :

Pendant la phase de conduction, k est en état passant (ON), la tension aux bornes de l'inductance L1 est égale à VIN, le condensateur C1 est connecté en parallèle avec L2 et la tension aux bornes de L2 est la même que la tension du condensateur = -VIN. Voir fig. 1. La diode D est en polarisation inverse donc bloquée. Le courant de la charge est fourni par le condensateur C2. Pendant cette période le courant est stocké en L1 par l'entrée et en L2 par C1.

### B. État de récupération [α T à T] :

Lors de l'ouverture de l'interrupteur k, la diode D se met à conduire. Pendant la phase de récupération, k est en état bloqué (OFF), le courant dans L1 continue à circuler à travers C1 et la diode D puis dans le condensateur C2, durant cet intervalle le condensateur C1 est chargé et prêt pour le prochain cycle. Aussi le courant emmagasiné dans L2 circule dans C2 et la charge, rendant C2 prêt pour le prochain cycle Fig. 3. Les formes d'ondes de tensions et de courants du convertisseur SEPIC sont montrées aux Fig. 4 et Fig. 5 respectivement.

## III. DIMENSIONNEMENT DU CONVERTISSEUR SEPIC

Seul le fonctionnement en conduction continue du convertisseur est étudié, c'est-à-dire que le courant dans l'inductance ne s'annule jamais avant la fin d'un cycle de fonctionnement. D'autre part, vu la complexité de ce hacheur, seules les équations de celui-ci seront exploitées pour le dimensionnement des différents composants de ce dernier.

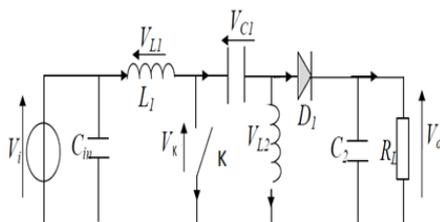


Fig. 1. schéma du convertisseur SEPIC

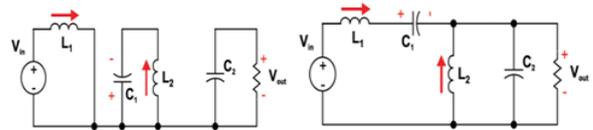


Fig. 2. SEPIC k fermé

Fig. 3. SEPIC K ouvert.

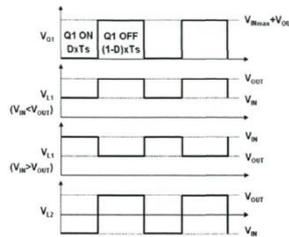


Fig. 4. Formes d'ondes de tensions d'un convertisseur SEPIC.

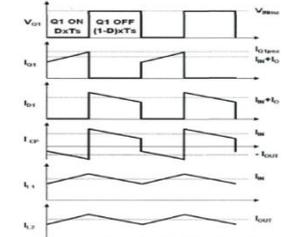


Fig. 5. Formes d'ondes du courant D'un convertisseur SEPIC

### A. Le rapport cyclique

Le rapport cyclique est un coefficient important lors du dimensionnement des éléments de n'importe quel convertisseur sa relation est donné par l'équation:

$$k = \frac{V_{OUT} + V_D}{V_{IN} + V_{OUT} + V_D} \quad (1)$$

Avec : VIN est la tension d'entrée, VOUT est la tension de sortie et VD la tension de seuil de la diode. Avec un rapport cyclique proche de 50%, la tension d'entrée est égale à la tension de sortie, le gain est unitaire. Le rapport cyclique varie en fonction de la tension d'entrée appliquée afin d'avoir une tension de sortie constante. Ainsi le rapport cyclique maximal est :

$$k_{max} = \frac{V_{OUT} + V_D}{V_{IN(min)} + V_{OUT} + V_D} \quad (2)$$

### B. Les inductances

Les valeurs des deux inductances sont déterminées principalement par l'ondulation de courant acceptée. Généralement, on autorise une ondulation de 40% du courant d'entrée maximal pour la tension d'entrée minimale. L'ondulation de courant est définie par l'équation suivante:

$$\Delta I_L = I_{IN} \times 40\% = I_{OUT} \times \frac{V_{OUT}}{V_{IN(min)}} \times 40\% \quad (3)$$

Soit les valeurs des deux inductances calculées par :

$$L_1 = L_2 = L = \frac{V_{IN(min)}}{\Delta I_L \times f} \times k_{max} \quad (4)$$

Avec f la fréquence de découpage.

Pour s'assurer que le courant dans l'inductance ne sature pas, les courants crêtes dans les inductances doivent être calculées par les relations suivantes :

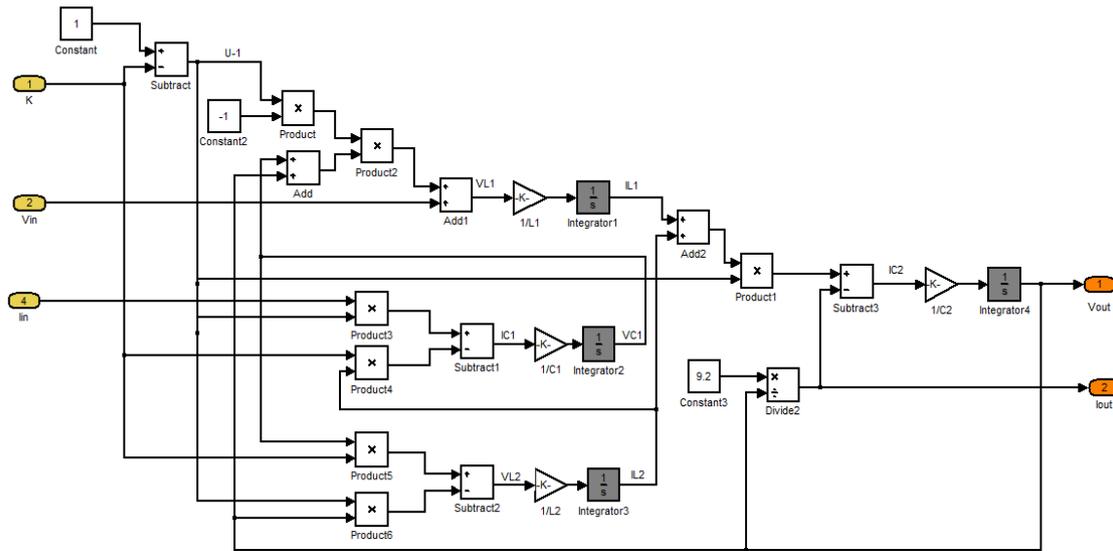


Fig. 6. Architecture adoptée sous simulink

$$I_{L1(\text{peak})} = I_{OUT} \frac{V_{OUT} + V_D}{V_{IN(\text{min})}} \times (1 + \frac{40\%}{2}) \quad (5)$$

$$I_{L2(\text{peak})} = I_{OUT} \times (1 + \frac{40\%}{2}) \quad (6)$$

Si les inductances  $L_1$  et  $L_2$  sont bobinées sur le même circuit magnétique, leurs valeurs sont remplacées par  $2L$  à cause de la mutuelle inductance. Les valeurs des deux inductances sont alors :

$$L_1' = L_2' = \frac{L}{2} = \frac{V_{IN(\text{min})}}{2 \times \Delta I_L \times f} \times k_{\text{max}} \quad (7)$$

C. Le condensateur de couplage

Vu son emplacement dans le circuit, le condensateur du couplage doit être capable de laisser passer le courant efficace de la source vers la charge, l'équation (8) donne son expression:

$$I_{C1(\text{rms})} = I_{OUT} \times \sqrt{\frac{V_{OUT} + V_D}{V_{IN(\text{min})}}} \quad (8)$$

Le condensateur est dimensionné à partir de l'ondulation de tension crête à crête imposée par le cahier des charges, son expression est définie par la formule suivante:

$$\Delta V_{C1} = \frac{I_{OUT} \times k_{\text{max}}}{C_1 \times f} \quad (9)$$

D. Condensateur de filtrage

Le condensateur  $C_2$  à la sortie du convertisseur SEPIC permet de filtrer la tension et de maintenir celle-ci constante.

La formule permettant de dimensionner le condensateur est donnée par:

$$C_2 = \frac{I_{OUT} \times k_{\text{max}}}{V_{\text{ripple}} \times 0.5 \times f} \quad (10)$$

Avec  $I_{OUT}$  est le courant dans la charge,  $V_{\text{ripple}}$  est l'ondulation de la tension de sortie.

A partir d'une tension d'entrée de 24V, nous souhaitons obtenir une tension de sortie de 48V. Le convertisseur devra délivrer une puissance de 250W. Soit  $I_{OUT} = 5.2A$  avec une charge  $R = 9.2\Omega$ . La tension de sortie acceptera une ondulation de  $\pm 2\%$ , soit environ  $\pm 1V$ . La fréquence de découpage est de 100kHz. Les valeurs des différents composants sont arrangées dans le tableau I suivant:

TABLEAU I.  
VALEURS DES DIFFERENTS COMPOSANTS

Rapport cyclique	Ondulation du courant	Inductance $L_1=L_2$	Courant $I_{L1(\text{peak})}$	Courant $I_{L2(\text{peak})}$	Condensateur de couplage $C_1$	Condensateur de filtrage $C_2$
2/3	4.16A	38µH	12.45A	6.24A	3.6µF	36µF

IV. MODELE DU SEPIC SOUS SIMULINK ET XILINK SYSTEM GENERATOR

A partir des équations d'états et les valeurs des composants de cahier de charge du convertisseur SEPIC, les architectures adoptées pour la simulation sous SIMULINK et Xilinx System Generator sont montrées dans les Fig. 6 et Fig. 7. Ces dernières sont basées sur les équations d'état ci-dessous:

A. Modèle d'état du convertisseur SEPIC

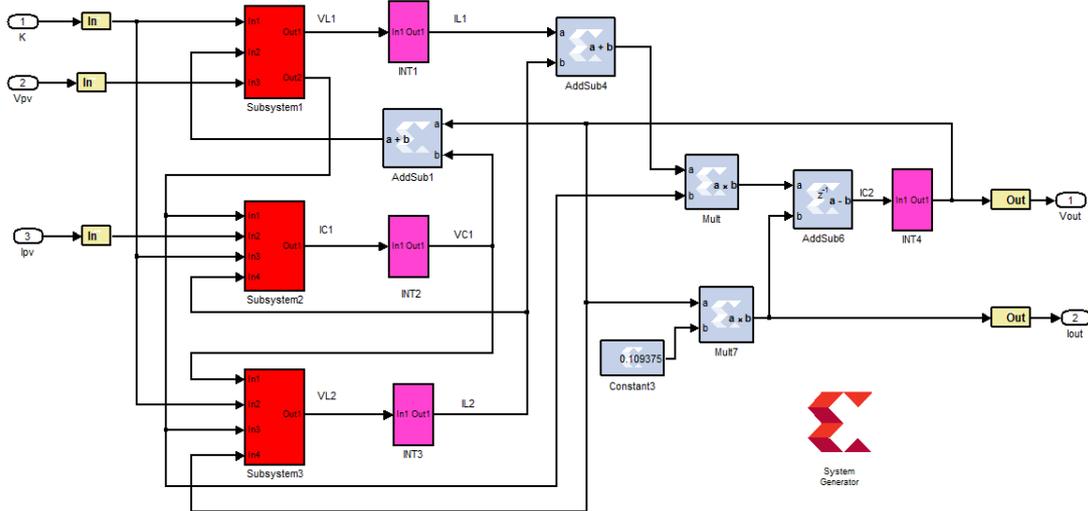


Fig. 7. Mise en œuvre de l'Architecture basée sur Xilinx System Générateur.

Le modèle moyen bilinéaire est obtenu [15], en mode CCM, en moyennant les deux représentations linéaires (états fermé et ouvert de l'interrupteur) utilisant le rapport cyclique k. On obtient ainsi:

$$\begin{cases} \dot{x}_1 = -\frac{(1-k)}{L_1}(x_2 + x_4) + \frac{1}{L_1}V_{IN} \\ \dot{x}_2 = \frac{(1-k)}{C_1}x_1 - \frac{k}{C_1}x_3 \\ \dot{x}_3 = \frac{k}{L_2}x_2 - \frac{(1-k)}{L_2}x_4 \\ \dot{x}_4 = \frac{(1-k)}{C_2}(x_1 + x_3) - \frac{x_4}{RC_2} \end{cases} \quad (11)$$

Où :  $(x_1 \ x_2 \ x_3 \ x_4) = (I_{L1} \ V_{C1} \ I_{L2} \ V_{C2})$

### B. Description XSG du SEPIC

Le système générateur de Xilinx fournit un ensemble de blocs de Simulink (modèles) pour plusieurs opérations de matériel qui pourraient être mises en application sur divers Xilinx FPGAs [16] [17]. Ces blocs peuvent être employés pour simuler la fonctionnalité du système de matériel utilisé dans l'environnement de Simulink. L'objectif est d'implémenter le modèle du convertisseur SEPIC en exploitant les fonctionnalités du XSG. Une comparaison des résultats obtenus par les deux simulateurs Simulink et XSG seront comparés et discutés, notre objectif est de s'assurer de la fiabilité de l'architecture adoptée dans l'environnement XSG afin d'aboutir à une implémentation réduite sur cible FPGA. L'implémentation du convertisseur SEPIC sous XSG est faite à partir des équations d'états établies ci-dessus. La Fig. 6 illustre l'architecture du SEPIC sous XSG.

La nature de la plupart des applications DSP nécessite un format en virgule flottante pour la représentation des données. Bien que ce soit facile à mettre en œuvre sur plusieurs systèmes informatiques exécutant le logiciel de modélisation de haut niveau tels que Simulink, il est plus difficile dans le monde matériel en raison de la complexité de la mise en œuvre de l'arithmétique flottante. Ces défis augmentent avec les systèmes DSP portables où plus de contraintes limitant sont appliquées à la conception du système. Pour ces raisons le système générateur de Xilinx utilise le format de point fixe pour représenter toutes les valeurs numériques dans le système. Il fournit des blocs pour transformer les données fournies par la partie logicielle de l'environnement de simulation (dans notre cas, il est Simulink) et le côté matériel (blocs System Generator). Il s'agit d'un concept important à comprendre au cours du processus de conception en utilisant le système générateur de Xilinx. L'avantage d'utiliser XSG pour le prototypage rapide devient plus évident lorsqu'il est nécessaire de tester un bloc achevé. Il suffit de brancher aux entrées les données intermédiaires obtenues de la référence. En simulant, on recueille les données à la sortie pour ensuite les comparer avec les données de la référence. Notons qu'il peut y avoir une certaine erreur, car une précision arbitraire selon le nombre de bits des opérandes est employée. L'outil XSG est utilisé afin de produire un modèle qui va tout de suite fonctionner sur le matériel une fois achevé et validé. Les conceptions du contrôle à base de FPGA ont une haute efficacité de développement en raison de sa souplesse et de son universalité [18].

Pour une meilleure approche lors de la mise en œuvre matériel, les blocs XSG fonctionnent avec des valeurs booléennes ou des valeurs arbitraires de type point fixe. En revanche Simulink fonctionne avec des nombres de double précision en virgule flottante. La connexion entre les blocs

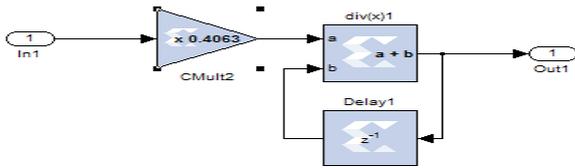


Fig. 8. Intégrateur de base

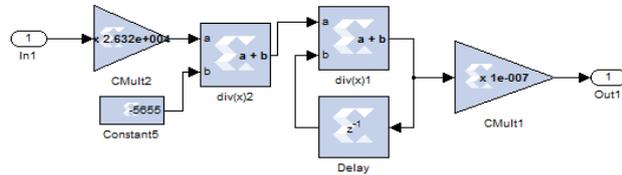


Fig. 9. Intégrateur amélioré 1

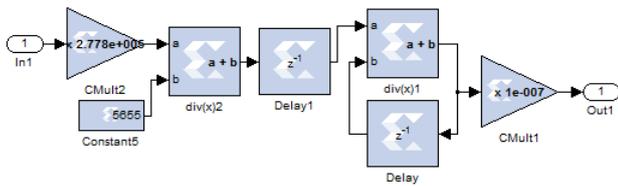


Fig. 10. Intégrateur amélioré 2

XSG et les blocs Simulink se fait par les blocs (gateway In et gateway Out) appelés éléments de passerelle.

L'architecture adoptée dans l'environnement XSG contient quatre intégrateurs, l'opération intégrale est effectuée sur la base d'un multiplicateur, d'un additionneur et d'un retard comme le montre la Fig. 8. En exploitant cette architecture, le système ne converge pas vers la valeur prévue. L'idée importante est de remédier à cette divergence infinie. Les architectures adoptées pour les quatre intégrateurs sont alors comme indiquées à la Fig. 9 et Fig. 10.

V. RESULTATS ET ANALYSE

Dans notre cas, le modèle du convertisseur SEPIC est décrit par les équations d'états ci-dessus. La conception du modèle du SEPIC est développé en utilisant la plate-forme de Xilinx. La vérification matériel du modèle se fait par partie, les défauts peuvent être facilement repérés, l'analyse de la performance peut se faire ainsi sur le système, les améliorations sont alors effectués avant la mise en œuvre en temps réel. Ce programme peut être téléchargé en toute confiance sur un FPGA.

En examinant les courbes représentées dans les figures ci-dessous pour les différentes grandeurs, nous remarquons une grande superposition de ces dernières dans les deux cas de simulation (Simulink et XSG). Ceci explique bien le bon choix de notre architecture du SXG, ainsi que sa précision, en effet les résultats de celui-ci sont beaucoup plus proche des valeurs imposées par le cahier de charge.

La Fig. 11 représente la tension de sortie pour une charge résistive de valeur  $R=9.2\Omega$ . Les Fig. 12, Fig. 13 et Fig. 14 représentent le courant dans la charge R, le courant dans les bobines  $L_1$  et  $L_2$  respectivement. Les ondulations dans les trois courants sont moins atténuées dans le cas du XSG.

A. Estimation des ressources

L'utilisation des ressources FPGA est une mesure importante pour matérialiser un système. En minimisant l'utilisation des ressources est particulièrement important lorsque l'objectif est de trouver la meilleure performance comportemental du système. Les résultats sont obtenus en utilisant les outils Simulink et Xilinx DSP, la synthèse est effectuée avec ISE 12.3, la cible visée est SPARTAN3E xc3s1200e-5fg320. Le Tableau. II ci-dessous montre le résumé de l'utilisation des ressources.

TABLEAU II.  
ESTIMATION DE RESSOURCES.

Ressources	Nombre de ressources	Pourcentage(%)
SLICES	1113	12,83
FFS	344	2
BRAMS	0	0
LUTs	1782	82,20
IOBS	50	16,5
MULTS	0	0
TBUFS	0	0

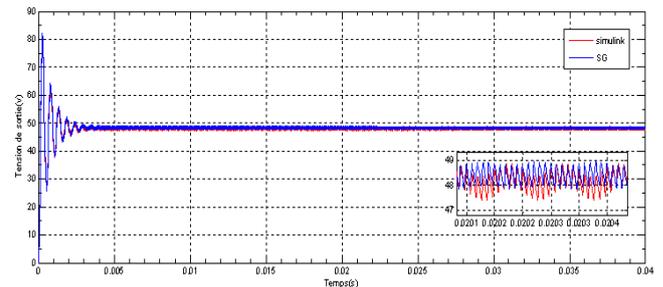


Fig. 11. Comparaison de la tension de sortie  $V_{OUT}$  sous XSG et Simulink.

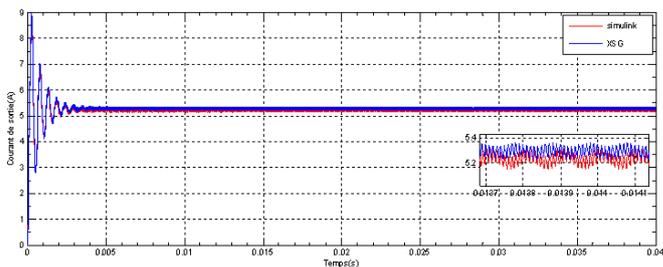


Fig. 12. Comparaison du courant de sortie  $I_{OUT}$  du model sous XSG et Simulink.

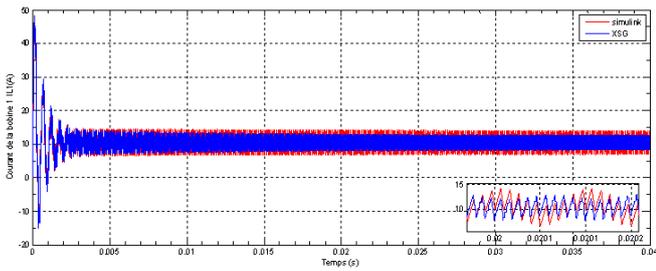


Fig. 13. Comparaison du courant dans la bobine IL1 du model sous XSG et Simulink

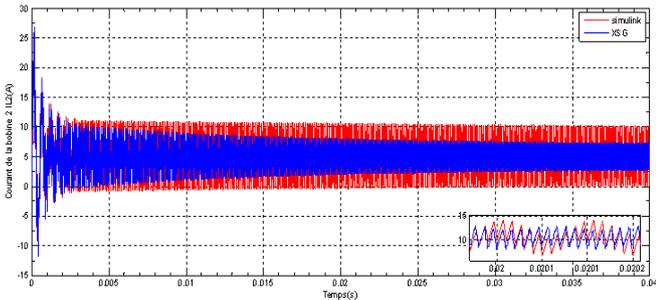


Fig. 14. Comparaison du courant dans la bobine IL2 du model sous XSG et Simulink.

**B. Routage du modèle**

Après ces résultats de simulation, la conception a été synthétisé, le flux de bits de l'ensemble du système a été généré. Il a été vérifiée avec succès en le téléchargeant sur la cible FPGA. Le schématique globale et interne de l'architecture du modèle du SEPIC proposé est montré à la Fig. 15 ci-dessous.

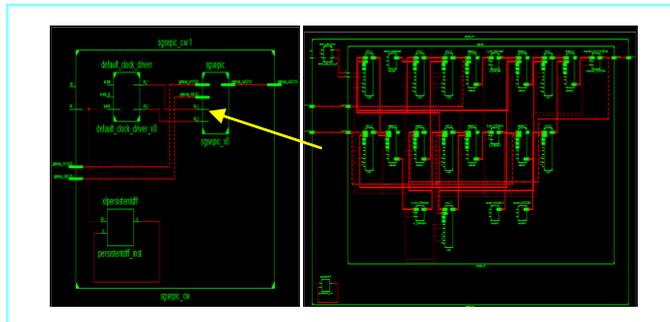


Fig. 15. RTL Schématique et Schématique de la technologie du modèle du convertisseur SEPIC.

**VI. CONCLUSIONS**

Nous concluons de cette étude que Xilinx System Generator est un outil polyvalent pour effectuer la simulation la matérialisation des systèmes de puissance. Il offre des moyens rapides pour faire la mise en œuvre

matériel des circuits complexes utilisés en électronique de puissance avec des ressources minimum et sans retard.

Dans cette étude, un modèle du convertisseur SEPIC a été conçu et mis en œuvre en temps réel. Le modèle de l'architecture proposée pour le convertisseur SEPIC est construit en utilisant un environnement de prototypage qui se compose de MATLAB-Simulink et Xilinx System Generator. Les résultats donnés dans ce travail prouve que la mise en œuvre du matériel proposée du modèle donne des résultats efficaces, ceci assure une implémentation aisée sur cible FPGA.

**REFERENCES**

- [1] Q. Zhao and F.C Lee, "High-efficiency, high step-up dc-dc converters," IEEE Trans. Power Electron., Jan 2003, Vol. 18, No. 1, pp. 65-73.
- [2] R.-J. Wai and R.-Y., Duan, "High step-up converter with coupled inductor," IEEE Trans. Power Electron., Sept 2005, Vol. 20, No. 5, pp. 1025-1035.
- [3] R.-J. Wai and R.-Y., Duan, "High-efficiency power conversion for low power fuel cell generation system," IEEE Trans. Power Electron., Jul 2005, Vol. 20, No. 4, pp. 847-856.
- [4] R.C.N. Pilawa-Podgurski, A.D. Sagneri, J.M. Rivas, and D.I. Anderson, "Very High Frequency Resonant Boost Converters," Power Electronics Specialists Conference, 2007. PESC 2007. IEEE, Page(s):2718 - 2724.
- [5] Jingying Hu Sagneri, A.D., Rivas, J.M., Yehui Han, "High-Frequency Resonant SEPIC Converter With Wide Input and Output Voltage Ranges," Power Electronics, IEEE Transactions on (Volume:27, Issue: 1), Page(s):189 - 200.
- [6] Al-Saffar, M.A. Ismail, E.H., Sabzali, A.J., Fardoun, A.A., "An Improved Topology of SEPIC Converter With Reduced Output Voltage Ripple," IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 23, NO. 5, SEPTEMBER 2008, Page(s):2377 - 2386.
- [7] S. J. Chiang, H.-J. Shieh, and M.-C. Chen, "Modeling and control of PV charger system with SEPIC converter," IEEE Trans. Ind. Electron., vol.56, no. 11, pp.4344-4353, Nov. 2009.
- [8] B.-R. Lin and C.-L. Huang, "Analysis and implementation of an integrated sepic-forward converter for photovoltaic-based light emitting diode lighting," IET Power Electron., vol. 2, no. 6, pp. 635-645, Dec. 2009.
- [9] A. Ghasemi, S.F. Eilaghi, E. Adib, "A New Non-isolated High Step-up SEPIC Converter for Photovoltaic Applications," Power Electronics and Drive Systems Technology (PEDSTC), 2012 3rd, Page(s):51 - 56.
- [10] M. Lavoie, L.A. "Dessaint, FPGAs as Accelerators for Real-Time Digital Power System Simulators," Proceedings of ICDS'97, Montréal, May 28-30, 1997.
- [11] J.C.G. Pimentel and H. Le-Huy, "Developing a New Architecture for Digital Real-Time Power System Simulators Based on Pentium II and FPGAs," Proceedings of ICDS'99, Vasteras, May 25-28, 1999.
- [12] M. Matar, M. Abdel-Rahman and A.-M. Soliman, "FPGA-Based Real-Time Digital Simulation," Proceedings of IPST2005, Montréal, Canada, Paper No. 149, June 19-23, 2005.
- [13] N. Thirer, A. Souhami, "Parallel Processing for a DSP Application using FPGA," 2006 IEEE 24th Convention of Electrical and Electronics Engineers in Israel, Page(s):389 - 392.
- [14] Jens Teubner and Louis Woods, "Data Processing on FPGAs," Synthesis Lectures on Data Management, June 2013, Vol. 5, No. 2, Pages 1-118.
- [15] Li, N., Lin-Shi, X., Lefranc, P., Godoy, E., A. Jaafar and B.Allard, "Universal DC-DC converter using SEPIC," Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on 2011, Page(s): 1 - 10.
- [16] Zhang Shanshan and Wang Xiaohong, "Vehicle Image Edge Detection Algorithm Hardware Implementation on FPGA," International

Conference on Computer Application and System Modeling, ICCASM  
2010.

- [17] "Xilinx System Generator User's Guide, 2010," downloadable from;  
[http:// www. Xilinx.com](http://www.Xilinx.com).
- [18] G. G. Gomes, V. L. Santos, J. A. N. Oliveira, "Controle PID Embarcado  
em Plataforma com Barramento Avalon," Research article presented in  
XVIII Brazillian Congresso of Automactics, September, 2010 – MS/  
Brazil.